

00213/LH

FRISHAUK, HOLZ

787 3RD

NYC 109

日本国特許庁

PATENT OFFICE

JAPANESE GOVERNMENT

INVENTOR. S. SUMI



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1999年 4月 9日

出願番号

Application Number:

平成11年特許願第103413号

出願人

Applicant(s):

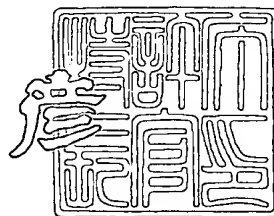
カシオ計算機株式会社

2000年 2月25日

特許庁長官

Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特2000-3009970

【書類名】 特許願

【整理番号】 99-0041-00

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/146
H01L 31/10
H04N 05/335

【発明者】

【住所又は居所】 東京都八王子市石川町 2 9 5 1 番地の 5
カシオ計算機株式会社 八王子研究所内

【氏名】 角 忍

【特許出願人】

【識別番号】 000001443

【氏名又は名称】 カシオ計算機株式会社

【代表者】 桎尾 和雄

【代理人】

【識別番号】 100096699

【弁理士】

【氏名又は名称】 鹿嶋 英實

【手数料の表示】

【予納台帳番号】 021267

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9600683

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 フォトセンサシステムの駆動制御方法

【特許請求の範囲】

【請求項 1】 マトリクス状に配列された複数個のフォトセンサと、該フォトセンサの第 1 のゲート電極を行方向に接続した第 1 のゲートライン群と、前記フォトセンサの第 2 のゲート電極を行方向に接続した第 2 のゲートライン群と、前記フォトセンサのドレイン電極を列方向に接続したデータライン群と、を備えたフォトセンサシステムの駆動制御方法において、

該フォトセンサシステムの駆動制御方法は、前記第 1 のゲートライン群の各々に順次リセットパルスを印加して、前記フォトセンサを前記行毎に初期化する第 1 のステップと、前記初期化終了後、前記フォトセンサに照射された光により発生する電荷を蓄積する電荷蓄積時間が経過し、かつ、前記ドレイン電極に所定のプリチャージ電圧を印加するプリチャージ動作が終了した前記各行のフォトセンサに対して、前記第 2 のゲートラインを介して順次読み出しパルスを印加して、前記電荷蓄積時間に蓄積された電荷による前記データラインの電圧変化を順次出力する第 2 のステップと、を含み、

前記第 1 のステップにおける前記リセットパルスの各行毎の印加タイミングは、前記第 1 のステップにおけるリセットパルスと前記第 2 のステップにおける前記電荷蓄積時間と前記読み出しパルスとの合計時間より短く設定されていることを特徴とするフォトセンサシステムの駆動制御方法。

【請求項 2】 前記第 1 のステップにおける前記リセットパルスの各行毎の印加タイミングは、前記プリチャージ時間と前記読み出しパルスのパルス幅の和に相当する時間間隔程度に設定されていることを特徴とする請求項 1 記載のフォトセンサシステムの駆動制御方法。

【請求項 3】 前記第 2 のステップにおける前記データラインの電圧変化は、前記読み出しパルスのパルス幅の時間経過後に、前記データラインに印加されている電圧であって、該電圧に基づいて前記照射された光量を検出することを特徴とする請求項 1 又は 2 記載のフォトセンサシステムの駆動制御方法。

【請求項 4】 前記フォトセンサは、半導体層からなるチャネル領域を挟ん

で形成されたソース電極及びドレイン電極と、少なくとも前記チャネル領域の上方及び下方に各々絶縁膜を介して形成されたトップゲート電極及びボトムゲート電極と、を有し、

前記トップゲート電極を前記第1のゲート電極とするとともに、前記ボトムゲート電極を前記第2のゲート電極とし、前記チャネル領域に前記照射された光の量に対応する電荷が発生、蓄積されることを特徴とする請求項1乃至3のいずれかに記載のフォトセンサシステムの駆動制御方法。

【請求項5】

前記第2のステップにおける前記第2のゲートラインへの読み出しパルスの印加タイミングに同期して、前記第1のゲート電極に、所定のオフセットバイアスを印加することを特徴とする請求項4記載のフォトセンサシステムの駆動制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、フォトセンサシステムの駆動制御方法に関し、特に、いわゆる、ダブルゲート構造を有する薄膜トランジスタによるフォトセンサを2次元配列して構成されるフォトセンサシステムの駆動制御方法に関する。

【0002】

【従来の技術】

近年、電子スチルカメラやビデオカメラ等の撮像装置の普及が著しい。このような撮像機器においては、被写体像を画像信号に変換するための光電変換装置として、CCD (Charge Coupled Device) 等の固体撮像デバイスが用いられている。

CCDは、周知の通り、フォトダイオードや薄膜トランジスタ (TFT: Thin Film Transistor) 等のフォトセンサ (受光素子) をマトリクス状に配列した構成を有し、各フォトセンサの受光部に照射された光量に対応して発生する電子-正孔対の量 (電荷量) を、水平走査回路及び垂直走査回路により検出し、照射光の輝度を検知している。

【0003】

このようなCCDを用いたフォトセンサシステムにおいては、走査された各フォトセンサを選択状態にするための選択トランジスタを個別に設ける必要があるため、画素数が増大するにしたがってシステム自体が大型化するという問題を有している。

そこで、近年、このような問題を解決するための構成として、フォトセンサ自体にフォトセンス機能と選択機能とを持たせた、いわゆる、ダブルゲート構造を有する薄膜トランジスタによるフォトセンサ（以下、Wゲート型フォトセンサという）が開発され、システムの小型化、及び、画素の高密度化を図る試みがなされている。

【0004】

Wゲート型フォトセンサの構造及び機能について、以下に簡単に説明する。なお、Wゲート型フォトセンサの構造及び機能については、特開平6-132560号公報等に詳しく記載されている。

図5は、Wゲート型フォトセンサの構造を示す断面図である。

図5(a)に示すように、Wゲート型フォトセンサ10は、アモルファスシリコン等の半導体薄膜11と、半導体薄膜11を挟んで形成されたソース電極12及びドレイン電極13と、半導体薄膜11の上方（図面上方）に上部ゲート絶縁膜14を介して形成されたトップゲート電極21と、半導体薄膜11の下方（図面下方）に下部ゲート絶縁膜15を介して形成されたボトムゲート電極22と、を有し、半導体薄膜11、ソース電極12、ドレイン電極13、トップゲート電極21により構成される上部MOSトランジスタと、半導体薄膜11、ソース電極12、ドレイン電極13、ボトムゲート電極22により構成される下部MOSトランジスタとを有して構成される。なお、図5(a)において、ソース電極12及びドレイン電極13と、半導体薄膜11は、たとえば n^+ シリコン層16及び17を介してオーミック接続されている。

【0005】

すなわち、Wゲート型フォトセンサ10は、半導体薄膜11を共通の半導体層（チャネル領域）とする2つのMOSトランジスタを組み合わせた構成が、ガラ

基板等の透明な絶縁性基板 18 上に形成され、図 5 (b) に示す等価回路により表される。ここで、TG はトップゲート端子、BG はボトムゲート端子、S はソース端子、D はドレイン端子である。

このような構成を有する W ゲート型フォトセンサ 10 において、トップゲート電極 21 側から光が入射され、この入射光がトップゲート電極 21 及び上部ゲート絶縁膜 14 を透過して、半導体薄膜 11 に入射することにより、正孔が発生、蓄積される。W ゲート型フォトセンサの具体的な駆動制御方法については後述する。

【0006】

次に、上述した W ゲート型フォトセンサを 2 次元配列して構成されるフォトセンサシステムについて、図面を参照して簡単に説明する。

図 6 は、W ゲート型フォトセンサを 2 次元配列して構成されるフォトセンサシステムの概略構成図である。

【0007】

図 6 に示すように、フォトセンサシステムは、大別して、多数の W ゲート型フォトセンサ 10 をマトリクス状に配列したセンサアレイ 100 と、各 W ゲート型フォトセンサ 10 のトップゲート端子 TG 及びボトムゲート端子 BG を各々行方向に接続したトップゲートライン 101 及びボトムゲートライン 102 と、トップゲートライン 101 及びボトムゲートライン 102 に各々接続されたトップアドレスデコーダ 111 及びローアドレスデコーダ 112 と、各 W ゲート型フォトセンサのドレイン端子 D を列方向に接続したデータライン 103 と、データライン 103 に接続されたコラムスイッチ 113 と、を有して構成される。ここで、 ϕ_{tg} 及び ϕ_{bg} は、それぞれ後述するリセットパルス ϕ_{Tn} 及び読み出しパルス ϕ_{Bn} を生成するための基準電圧、 ϕ_{pg} は、プリチャージ電圧 V_{dd} を印加するタイミングを制御するプリチャージ信号である。

このような構成において、トップアドレスデコーダ 111 からトップゲート端子 TG に電圧を印加することによりフォトセンス機能が実現され、ローアドレスデコーダ 112 からボトムゲート端子 BG に電圧を印加し、データライン 103 を介して検出信号をコラムスイッチ 113 に取り込んでシリアルデータとして出

力することにより読み出し機能が実現される。

【0008】

次に、上述したフォトセンサシステムの駆動制御方法について、図面を参照して説明する。

図7は、フォトセンサシステムの駆動制御方法を示すタイミングチャートである。

図7に示すように、まず、 n 番目の行のトップゲートライン101にパルス電圧（リセットパルス；Hレベル） ϕT_n を印加して、各Wゲート型フォトセンサ10に蓄積されている電荷を放出するリセット動作を行う（リセット期間； T_{reset} ）。次いで、トップゲートライン101のパルス電圧 ϕT_n をLレベルにすることにより、リセット動作を終了し、キャリア蓄積期間 T_a がスタートする。キャリア蓄積期間 T_a においては、トップゲート電極側から入射した光の量に応じてチャンネル領域にキャリア（電荷＝正孔）が蓄積される。

【0009】

そして、キャリア蓄積期間 T_a に並行して、データライン13に所定の電圧（プリチャージ電圧）を印加し、ドレイン電極13に電荷を保持させるプリチャージ期間 T_{prch} を経た後、ボトムゲートライン102にパルス電圧（読み出し選択信号；以下、読み出しパルスという） ϕB_n を印加することにより、Wゲート型フォトセンサ10がON状態となって読み出し期間 T_{read} がスタートする。読み出し期間 T_{read} においては、チャンネル領域に蓄積された電荷がドレイン電極13に出力され、データライン103の電圧 V_D が、プリチャージ電圧から時間の経過とともに徐々に低下する傾向を示す。

【0010】

ここで、データライン103の電圧 V_D の変化傾向は、トップゲート電極21へのリセットパルス ϕT_n の印加によるリセット動作の終了時点から、ボトムゲート電極22に読み出しパルスが印加されるまでの時間（キャリア蓄積期間 T_a ）と、受光した光量に深く関連し、たとえば、蓄積された電荷が少ない場合には緩やかに低下する傾向を示し、また、蓄積された電荷が多い場合には急峻に低下する傾向を示す。したがって、読み出し期間 T_{read} がスタートして、所定の時間

経過後のデータライン 1 0 3 の電圧 V_D を検出することにより、あるいは、所定のしきい値電圧を基準にして、その電圧に至るまでの時間を検出することにより、照射光の光量が換算される。

【0 0 1 1】

上述した一連の駆動制御を 1 サイクルとして、 $n + 1$ 番目の行の W ゲート型フォトセンサ 1 0 にも同等の処理手順を繰り返すことにより、W ゲート型フォトセンサ 1 0 を 2 次元のセンサシステムとして動作させることができる。

なお、図 7 に示したタイミングチャートにおいて、リセット動作を制御するリセットパルス ϕ_{Tn} は、正孔掃き出し（リセット）用の正バイアス（H レベル）として、たとえば + 5 V が印加され、正孔蓄積用の負バイアス（L レベル）として、たとえば - 2 0 V が印加される。一方、読み出しパルス ϕ_{Bn} は、読み出し選択レベル（H レベル）として、たとえば + 1 0 V が印加され、非選択レベル（L レベル）として、たとえば 0 V が印加される。

【0 0 1 2】

【発明が解決しようとする課題】

上述したように、W ゲート型フォトセンサを 2 次元のセンサシステムとして動作させるためには、2 次元配列された W ゲート型フォトセンサに対して、1 行毎にリセットパルス及びプリチャージ電圧の印加を行い、キャリア蓄積期間の経過後に読み出しパルスを印加するという処理手順を順次行い、かつ、各行毎に上記処理手順を繰り返して行う駆動制御方法が採用されていた。

したがって、 m 本の走査線（行）を有する 2 次元マトリクスの場合、1 画面のスキャンを行うためには、1 番目から最後の m 番目まで m 回同様の動作をシリアルに行わなければならない、2 次元センサの画素数（走査線数）が多くなるほど、動作処理に要する時間が増大するという問題を有している。

【0 0 1 3】

具体的には、2 次元配列されたフォトセンサ全体（1 画面分）のスキャン時間 T_{total} は、一般に（1）式で表され、たとえば、走査線数（ m ）が 2 0 0 本の 2 次元配列の場合、数十ルクスの照度検出に 1 走査線（1 サイクル）あたり約 0. 1 5 秒程度の処理時間を必要とするため、全体で約 3 0 秒もの処理時間を

必要としていた。ここで、 T_{reset} はリセット時間、 T_a はキャリア蓄積時間、 T_{read} は読み出し時間を示す。

$$T_{total}' = m \times (T_{reset} + T_a + T_{read}) \quad \dots\dots (1)$$

このように、従来のフォトセンサシステムの駆動制御方法においては、走査線数（画素数） m に比例して全体のスキャン時間 T_{total}' が増大するため、スキャン時間 T_{total}' が経過するまで被写体を静止させておかなければならない等の制約が生じ、実用化の範囲が極めて制限されるという問題を有していた。

【0014】

ところで、Wゲート型フォトセンサにおけるスキャン時間を短縮する技術としては、特開平8-204223号公報等に記載された技術が知られている。

特開平8-204223号公報には、読み出し動作時に印加される読み出しパルス ϕ_{Bn} に同期して、トップゲート電極に所定のオフセットバイアスを印加することにより、入射光による正孔の蓄積を待つことなく、半導体薄膜に形成される空乏層を後退させてチャネルを確保し、照度に応じたドレイン電流を迅速に流して、上記キャリア蓄積時間 T_a を短縮することが記載されている。

しかしながら、特開平8-204223号公報に記載された駆動制御方法においては、Wゲート型フォトセンサ単体でのキャリア蓄積時間 T_a の短縮を図ることにより、2次元のフォトセンサシステム全体のスキャン時間 T_{total}' を短縮する効果はあるものの、より高精細な画質を求めて画素数を増加すると、画素数に比例してスキャン時間 T_{total}' が必然的に増大するという問題を依然として有していた。

【0015】

そこで、本発明は、上述した問題を解決し、Wゲート型フォトセンサを2次元のセンサシステムに適用した場合に、照射光の光量検出処理に要する時間を大幅に短縮し、あるいは、より検出感度の高い光量検出処理を実現することができるフォトセンサシステムの駆動制御方法を提供することを目的とする。

【0016】

【課題を解決するための手段】

請求項1記載のフォトセンサシステムの駆動制御方法は、マトリクス状に配列

された複数個のフォトセンサと、該フォトセンサの第1のゲート電極を行方向に接続した第1のゲートライン群と、前記フォトセンサの第2のゲート電極を行方向に接続した第2のゲートライン群と、前記フォトセンサのドレイン電極を列方向に接続したデータライン群と、を備えたフォトセンサシステムの駆動制御方法において、該フォトセンサシステムの駆動制御方法は、前記第1のゲートライン群の各々に順次リセットパルスを印加して、前記フォトセンサを前記行毎に初期化する第1のステップと、前記初期化終了後、前記フォトセンサに照射された光により発生する電荷を蓄積する電荷蓄積時間が経過し、かつ、前記ドレイン電極に所定のプリチャージ電圧を印加するプリチャージ動作が終了した前記各行のフォトセンサに対して、前記第2のゲートラインを介して順次読み出しパルスを印加して、前記電荷蓄積時間に蓄積された電荷による前記データラインの電圧変化を順次出力する第2のステップとを含み、前記第1のステップにおける前記リセットパルスの各行毎の印加タイミングは、前記第2のステップにおける前記電荷蓄積時間と前記読み出しパルスの合計時間より短く設定されていることを特徴とする。

【0017】

また、請求項2記載のフォトセンサシステムの駆動制御方法は、請求項1記載のフォトセンサシステムの駆動制御方法において、前記第1のステップにおける前記リセットパルスの各行毎の印加タイミングは、前記プリチャージ時間と前記読み出しパルスのパルス幅の和に相当する時間間隔程度に設定されていることを特徴とする。

また、請求項3記載のフォトセンサシステムの駆動制御方法は、請求項1又は2記載のフォトセンサシステムの駆動制御方法において、前記第2のステップにおける前記データラインの電圧変化は、前記読み出しパルスのパルス幅の時間経過後に、前記データラインに印加されている電圧であって、該電圧に基づいて前記照射された光量を検出することを特徴とする。

【0018】

さらに、請求項4記載のフォトセンサシステムの駆動制御方法は、請求項1乃至3のいずれかに記載のフォトセンサシステムの駆動制御方法において、前記フ

フォトセンサは、半導体層からなるチャネル領域を挟んで形成されたソース電極及びドレイン電極と、少なくとも前記チャネル領域の上方及び下方に各々絶縁膜を介して形成されたトップゲート電極及びボトムゲート電極と、を有し、前記トップゲート電極を前記第 1 のゲート電極とするとともに、前記ボトムゲート電極を前記第 2 のゲート電極とし、前記チャネル領域に前記照射された光の量に対応する電荷が発生、蓄積されることを特徴とする。

そして、請求項 5 記載のフォトセンサシステムの駆動制御方法は、請求項 4 記載のフォトセンサシステムの駆動制御方法において、前記第 2 のステップにおける前記第 2 のゲートラインへの読み出しパルスの印加タイミングに同期して、前記第 1 のゲート電極に、所定のオフセットバイアスを印加することを特徴とする。

【 0 0 1 9 】

【発明の実施の形態】

以下に、本発明に係るフォトセンサシステムの駆動制御方法の実施の形態について、図面を参照しながら説明する。なお、以下に示す実施形態においては、フォトセンサとして、上述した W ゲート型フォトセンサを適用し、トップゲート電極を第 1 のゲート電極として電圧を印加することにより、フォトセンス機能を実現するとともに、ボトムゲート電極を第 2 のゲート電極として電圧を印加することにより、チャネル領域に蓄積された電荷量を読み出す機能を実現するものとして説明する。

【 0 0 2 0 】

< 第 1 の実施形態 >

図 1 は、本発明に係るフォトセンサシステムの駆動制御方法の第 1 の実施形態を示すタイミングチャートである。ここでは、図 6 に示したフォトセンサシステムを適宜参照しながら、駆動制御方法を説明する。

図 1 に示すように、まず、複数の W ゲート型フォトセンサ 1 0 のトップゲート端子 T G を行方向に接続するトップゲートライン 1 0 1 の各々に順次リセットパルス $\phi T 1$ 、 $\phi T 2$ 、 $\phi T 3$ 、 $\dots \phi T m$ を印加してリセット期間 T reset をスタートし、各行毎に W ゲート型フォトセンサ 1 0 を初期化する。

【0021】

次いで、リセットパルス $\phi T1$ 、 $\phi T2$ 、 $\phi T3$ 、 $\dots \phi Tm$ が立ち下がり、リセット期間 T_{reset} が終了することにより、キャリア蓄積期間 Ta がスタートして、各行毎にWゲート型フォトセンサ10のトップゲート電極側から入射される光量に応じてチャネル領域に電荷（正孔）が発生し、蓄積される。ここで、キャリア蓄積期間 Ta 内に並行して、データライン103にプリチャージ電圧を印加してプリチャージ期間 T_{prch} をスタートし、Wゲート型フォトセンサ10のドレイン電極に所定の電圧を保持させるプリチャージ動作が行われる。

【0022】

次いで、キャリア蓄積期間 Ta 及びプリチャージ期間 T_{prch} が終了したWゲート型フォトセンサ10に対して、各行毎にボトムゲートライン102に順次読み出しパルス $\phi B1$ 、 $\phi B2$ 、 $\phi B3$ 、 $\dots \phi Bm$ を印加して、読み出し期間 T_{read} をスタートし、各Wゲート型フォトセンサ10に蓄積された電荷に対応する電圧変化を、コラムスイッチ23によりデータライン103を介して読み出す。

ここで、照射光量の検出方法は、上述した従来技術と同様に、データライン103の電圧の低下傾向を、読み出し期間 T_{read} がスタートして、所定の時間経過後の電圧値を検出することにより、あるいは、所定のしきい値電圧を基準にして、その電圧値に至るまでの時間を検出することにより、照射光量を換算する。

【0023】

したがって、従来においては、1サイクルの期間内で、リセット動作からキャリア蓄積動作、読み出し動作に至る一連の処理手順を実行し、走査線数（ m ）分シリアルに繰り返し行う駆動制御方法であったのに対して、本実施形態においては、まず、トップゲートライン101を介して最初の行のWゲート型フォトセンサから順に、リセットパルス $\phi T1$ 、 $\phi T2$ 、 $\phi T3$ 、 $\dots \phi Tm$ を連続的に印加するリセット動作を先行して実行しつつ、Wゲート型フォトセンサのうち、キャリア蓄積期間が経過し、かつ、プリチャージ動作が終了した最初の行のWゲート型フォトセンサから順に、ボトムゲートライン102を介して読み出しパルス $\phi B1$ 、 $\phi B2$ 、 $\phi B3$ 、 $\dots \phi Bm$ を並行して印加し、ドレイン電極の電圧変化を読み出す処理手順を実行する。そのため、走査線数が m 本のセンサアレイ100

であっても、各行毎の処理サイクルの一部を時間的にオーバーラップさせることができるので、2次元画面全体のスキャン時間を大幅に短縮することができる。

【0024】

ここで、上述したフォトセンサシステムの駆動制御方法における、各行毎の処理動作開始のタイミングについて、図面を参照して説明する。

図2は、上述したフォトセンサシステムの駆動制御方法における、各行毎の処理動作開始のタイミングを説明するタイミングチャートである。

図2に示すように、各行毎の処理動作開始のタイミング、すなわち、リセットパルス ϕT_n と T_{n+1} の間隔 T_{int} が、読み出し時間 T_{read} とプリチャージ時間 T_{prch} との和に相当する時間に設定されている。

処理動作開始のタイミングに上記の条件を設ける理由は、以下の通りである。

一般に、フォトセンサシステムにおいては、光量の検出感度を高めるため、リセット期間 T_{reset} に対して読み出し期間 T_{read} を長く設定する必要がある。また、処理時間を最適化し、駆動制御を簡易にするため、キャリヤ蓄積期間 T_a を一定に設定することが好ましい。これに対して、図1に示した駆動制御方法に従い、各行毎のリセット動作のみをシリアルに連続して行った場合、 n 行のWゲート型フォトセンサのキャリヤ蓄積期間 T_a 経過後の読み出し期間 T_{read} 中に、次の $(n+1)$ 行のWゲート型フォトセンサのキャリヤ蓄積期間 T_a が経過して、異なる走査線（行）相互の読み出し期間 T_{read} が重なり合う現象が生じ、データライン 103 上で読み出しデータがクロストークを起こす。

【0025】

そこで、本実施形態においては、上述したような現象の回避、すなわち、隣接する走査線に接続されたWゲート型フォトセンサ相互の読み出し期間の重複を避け、かつ、データラインに印加されるプリチャージ電圧と読み出しデータの重複を避けることを目的として、リセットパルス ϕT_n の間隔 T_{int} を、読み出し時間 T_{read} とプリチャージ時間 T_{prch} との和に相当する時間に設定することにより、データのクロストークを防止しつつ、センサシステムを過負荷なく動作させ、かつ、処理時間を短縮するものである。

ここで、読み出し期間 T_{read} がスタートして、所定の時間経過後の電圧値に基

づいて照射光量を換算する検出方法を適用することにより、読み出し時間 T_{read} が一定に設定され、リセット動作の間隔 $T_{int} (=T_{read}+T_{prch})$ を均一化することができるため、駆動制御を一層簡略化、かつ、最適化することができる。

【 0 0 2 6 】

次に、本実施形態に係る駆動制御方法と、従来技術とを比較して、動作処理時間の短縮効果について検証する。

走査線数を m とした場合の 2 次元配列されたフォトセンサ全体（1 画面分）のスキャン時間は、従来技術においては上述したように、（1）式により表される。

これに対して、本実施形態におけるスキャン時間 T_{total} は、（2）式のように表すことができるので、従来技術と本実施形態におけるスキャン時間の差（ $T_{total}' - T_{total}$ ）が、短縮された処理時間 T_{off} に相当する〔（3）式参照〕。

$$T_{total} = T_{reset} + T_a + m \times (T_{read} + T_{prch}) - T_{prch} \quad \dots (2)$$

$$T_{total}' - T_{total} = (m - 1) \times (T_{reset} + T_a - T_{prch}) = T_{off} \quad \dots (3)$$

【 0 0 2 7 】

ここで、上述した短縮された処理時間 T_{off} について、具体的な数値例を示して、本実施形態における有効性を説明する。

上述した短縮された処理時間 T_{off} は、フォトセンサが受光する光の明るさが、たとえば、数十ルクスの場合、1 走査線に要する処理時間として約 0. 1 5 秒を必要とするので、走査線数（ m ）が 2 0 0 本程度の場合、従来 3 0 秒以上を必要としていたのに対して、本実施形態によれば 0. 3 秒程度に短縮することができる。したがって、2 桁の処理動作速度の向上を図ることができ、今後の実用化に向けた有効な駆動方法を提示することができる。

【 0 0 2 8 】

< 第 2 の実施形態 >

次に、本発明に係るフォトセンサシステムの駆動制御方法における第 2 の実施形態について、図面を参照して説明する。

本実施形態は、上述した第1の実施形態において、ボトムゲート電極に印加する読み出しパルス ϕB_n に同期して、トップゲート電極にオフセットバイアスを印加するようにしたことを特徴とする。

図3は、フォトセンサシステムの駆動制御方法の第2の実施形態を示すタイミングチャートである。ここでは、図6に示したフォトセンサシステムを適宜参照しながら、駆動制御方法を説明する。

図3に示すように、まず、複数のWゲート型フォトセンサ10のトップゲート端子TGを行方向に接続するトップゲートライン101の各々に順次リセットパルス（Hレベル＝＋5V） ϕT_1 、 ϕT_2 、 ϕT_3 、… ϕT_m を印加してリセット期間 T_{reset} をスタートし、各行毎にWゲート型フォトセンサ10を初期化する。

【0029】

次いで、リセットパルス ϕT_1 、 ϕT_2 、 ϕT_3 、… ϕT_m が立ち下がり（Lレベル＝－20V）、リセット期間 T_{reset} が終了すると、キャリア蓄積期間 T_a がスタートして、各行毎にWゲート型フォトセンサ10に入射される光量に応じてチャネル領域に電荷が蓄積される。ここで、キャリア蓄積期間 T_a 内にデータライン103にプリチャージ電圧を印加してプリチャージ期間 T_{prch} をスタートし、Wゲート型フォトセンサ10のドレイン電極に所定の電圧を保持させる。

次いで、キャリア蓄積期間 T_a 及びプリチャージ期間 T_{prch} が終了したWゲート型フォトセンサ10に対して、各行毎にボトムゲートライン102に順次読み出しパルス（Hレベル＝10V） ϕB_1 、 ϕB_2 、 ϕB_3 、… ϕB_m を印加して、読み出し期間 T_{read} をスタートするとともに、上記読み出しパルス ϕB_1 、 ϕB_2 、 ϕB_3 、… ϕB_m の印加タイミングに同期して、トップゲートライン101に順次所定のオフセットバイアス（－10V）を印加し、各Wゲート型フォトセンサ10に蓄積された電荷に対応する電圧変化をデータライン103を介して読み出す。

【0030】

ここで、本実施形態に係る駆動制御方法における、キャリア蓄積期間とオフセットバイアスとの関係について、図面を参照して説明する。

まず、Wゲート型フォトセンサにおけるゲート印加電圧とチャネル形成との関係について説明する。

図4は、Wゲート型フォトセンサにおけるゲート印加電圧とチャネル形成状態を示す概念図である。

図4(a)は、Wゲート型フォトセンサ10に光が照射されない状態にあって、かつ、トップゲート電極21に -20V が印加された状態を示している。この状態においては、半導体層11aに形成される空乏層30は、トップゲート電極側からボトムゲート電極側に向けて、半導体層11aのほぼ全域に広がり、ボトムゲート電極22側から見たMOSトランジスタ（以下、下部MOSトランジスタという）は、チャネルがピンチオフした状態を示す。

【0031】

上述したように、下部MOSトランジスタのチャネルをピンチオフした状態で、半導体層11aに光が入射すると、図4(b)に示すように、半導体層11aに電子-正孔対が発生してトップゲート電極21直下に電荷（正孔）が蓄積され、空乏層30の広がりがトップゲート電極21方向に後退する。しかしながら、入射する光が低照度の場合には、図3に示したタイミングチャートにおけるあらかじめ設定されたキャリヤ蓄積期間 T_a 中に半導体層11aに蓄積される電荷量が少ないため、空乏層30の広がりをトップゲート電極21方向に十分後退させることができず、下部MOSトランジスタにおけるチャネルが形成されなくなり、読み出し動作時における下部MOSトランジスタによる出力が機能しないことになる。

そこで、本実施形態においては、図3のタイミングチャートに示したように、ボトムゲート電極22に印加する読み出しパルス $\phi B1$ 、 $\phi B2$ 、 $\phi B3$ 、…の印加タイミングに同期させてトップゲート電極21にオフセットバイアス（ -10V ）を印加するようにしている。

【0032】

このようなオフセットバイアスを印加することにより、図4(c)に示すように、トップゲート電極21の電圧が負の高バイアスから負の低バイアスに変化することにより、半導体層11aにおける空乏層30の広がりが後退（減衰）して

、光の照射による電荷の蓄積を待つことなく（キャリア蓄積期間 T_a の経過を待つことなく）、下部 MOS トランジスタのチャネルが形成される。このとき、チャネルを流れるドレイン電流 I_d は、入射光の光量に応じて変化するチャネル抵抗に依存して変化する傾向を示すため、データラインを介して出力されるドレイン電流を検出することにより、照射光量を算出することができる。

一方、Wゲート型フォトセンサに入射する光が光照度の場合、半導体層 11a に蓄積される電荷量が多いうえ、オフセットバイアスの印加により、キャリア蓄積期間 T_a の経過を待つことなく、空乏層 30 の広がりはやや速やかに後退して下部 MOS トランジスタのチャネルが形成される。

【0033】

上述したような読み出しパルスの印加タイミングに同期して、オフセットバイアスを印加する手法を用いることにより、Wゲート型フォトセンサの飽和露光量を小さくすることができるとともに、下部 MOS トランジスタにおけるチャネルの形成を制御し、かつ、チャネルを流下するドレイン電流により照射光量を検出することができるため、キャリア蓄積期間 T_a の短縮、又は、検出感度の向上を図ることができる。

したがって、本実施形態に係るフォトセンサシステムの駆動制御方法によれば、上記（2）式におけるスキャン時間 T_{total} をさらに短縮して、高速スキャンを可能とし、また、低照度（暗い）の光であっても良好に照射光量を検出することができるフォトセンサシステムを提供することができる。

【0034】

なお、本実施形態においては、トップゲート電極 21 に印加するオフセットバイアスを -10 V に設定した場合について説明したが、通常の非リセット動作時のセンスゲートバイアス（ -20 V ）と 0 V の間の電圧値であれば、たとえば半導体層 11a の特性や、周囲の明るさ、被写体の明暗等に応じて適宜設定するものであってもよい。

また、オフセットバイアスを入射光の照度に関わらず、均一に印加する手法を示したが、たとえば暗い被写体に対してのみ、オフセットバイアスを印加するように切り換え制御を行うものであってもよい。



さらに、オフセットバイアスを、読み出しパルスの立ち上がり、立ち下がりのタイミングに同期してトップゲート電極 2 1 に印加する場合について説明したが、読み出しパルスをボトムゲート電極 2 2 に印加している期間内であれば、読み出しパルスのパルス幅（読み出し時間） T_{read} より短く設定するものであってもよい。

【0035】

【発明の効果】

請求項 1 記載の発明によれば、フォトセンサを 2 次元配列して構成されるフォトセンサシステムにおいて、連続してリセットパルスを印加して全てのフォトセンサのリセット動作を先行して行いつつ、電荷蓄積期間が経過し、かつ、プリチャージ動作が終了したフォトセンサの行から、順次読み出しパルスを印加して、ドレイン電極の電圧変化を読み出しを行うことにより、各行毎の処理サイクルを時間的にオーバーラップさせることができるので、2 次元画面全体のスキャン時間を短縮することができる。

したがって、走査線数が増えた場合であっても、一方でリセット動作、及び、電荷蓄積動作を行いながら、他方で、電荷蓄積期間が経過し、かつ、プリチャージ動作が終了した行のフォトセンサから順に読み出し動作を行うことができるので、画素の高密度化に対して有効な駆動制御方法を提供することができる。

また、上記効果は換言すれば、従来と同じスキャン時間を適用した場合、より長い電荷蓄積時間を設定することができることになるため、より低照度の光に対して高い感度で検出することができる。

【0036】

請求項 2 記載の発明によれば、リセットパルスの間隔を、読み出し時間とプリチャージ時間との和に相当する時間に設定することにより、センサシステムを過負荷なく動作させつつ、処理時間を最適化することができるため、異なる走査線相互での読み出しデータのクロストークを防止することができる。

請求項 3 記載の発明によれば、データラインの電圧変化の読み出し時間を一定に設定し、所定時間経過後の電圧値に基づいて照射光量の換算を行うことにより、リセット動作の間隔を一定に設定することができ、動作処理時間の均一化、最

適化を図ることができる。

【0037】

さらに、請求項4記載の発明によれば、ダブルゲート型フォトセンサを2次元配列したフォトセンサシステムにおいて、2次元画面全体のスキャン時間を短縮することができるため、従来の構成において実用化の障害となっていた動作処理時間が長い、検出感度が低いという問題を解決することができ、種々の応用分野への適用を実現することができる。

そして、請求項5記載の発明によれば、第2のゲート電極への読み出しパルスの印加タイミングに同期して、第1のゲート電極に所定のオフセットバイアスを印加することにより、上記ダブルゲート型フォトセンサの半導体層における空乏層の広がりを迅速に後退させて飽和露光量を小さくし、かつ、蓄積された電荷の読み出し動作を行うボトムゲート電極側にチャネルを形成することができるため、フォトセンサシステムの全体のスキャン時間を短縮して、高速スキャンを可能とするとともに、より低照度（暗い）の光に対しても良好に照射光量を検出することができ、検出感度の向上を図ることができる。

【図面の簡単な説明】

【図1】

本発明に係るフォトセンサシステムの駆動制御方法の第1の実施形態を示すタイミングチャートである。

【図2】

本実施形態における各行毎の処理動作開始のタイミングを説明するタイミングチャートである。

【図3】

本発明に係るフォトセンサシステムの駆動制御方法の第2の実施形態を示すタイミングチャートである。

【図4】

Wゲート型フォトセンサにおけるゲート印加電圧とチャネル形成状態を示す概念図である。

【図5】

Wゲート型フォトセンサの構造を示す断面図である。

【図 6】

図 5 に示す Wゲート型フォトセンサを 2 次元配列して構成されるフォトセンサシステムの概略構成図である。

【図 7】

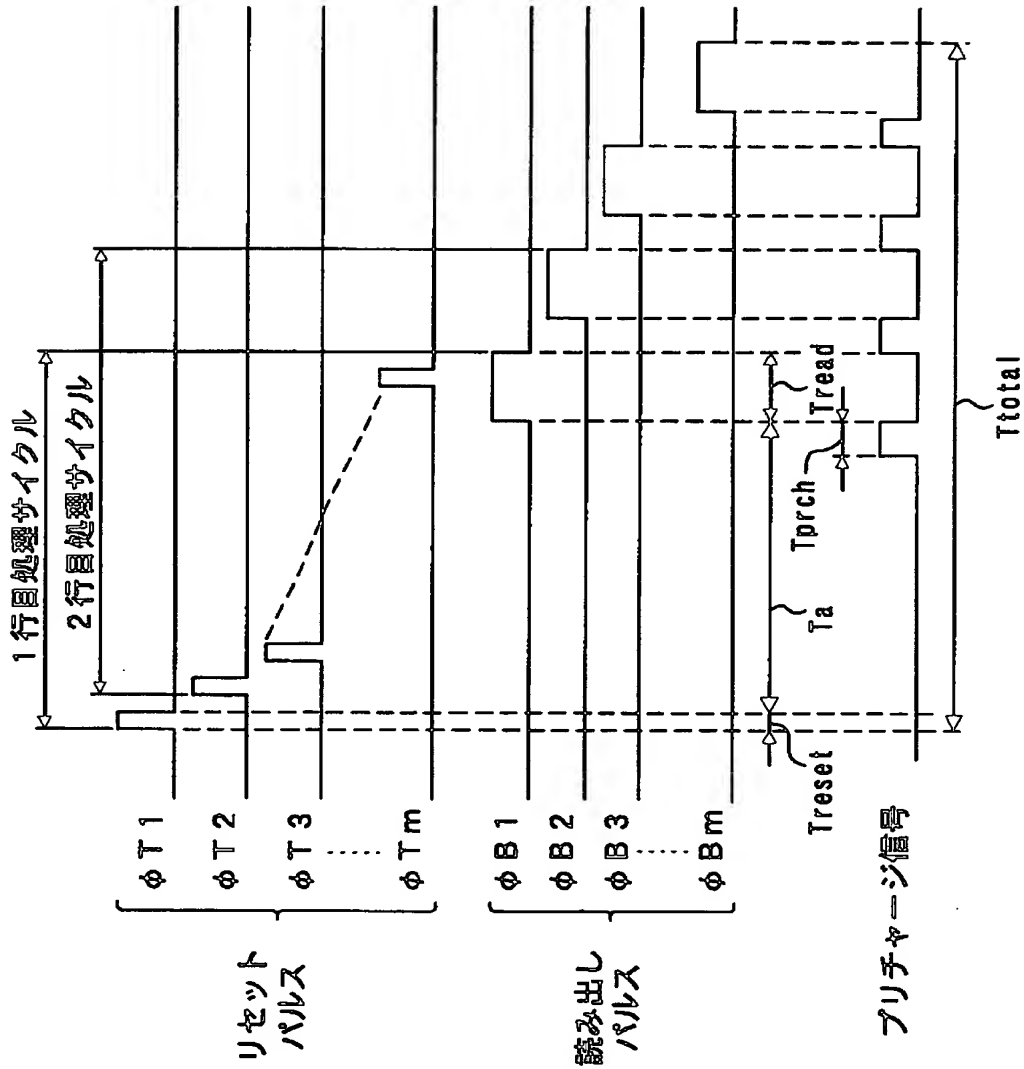
図 5 に示すフォトセンサシステムの従来の駆動制御方法を示すタイミングチャートである。

【符号の説明】

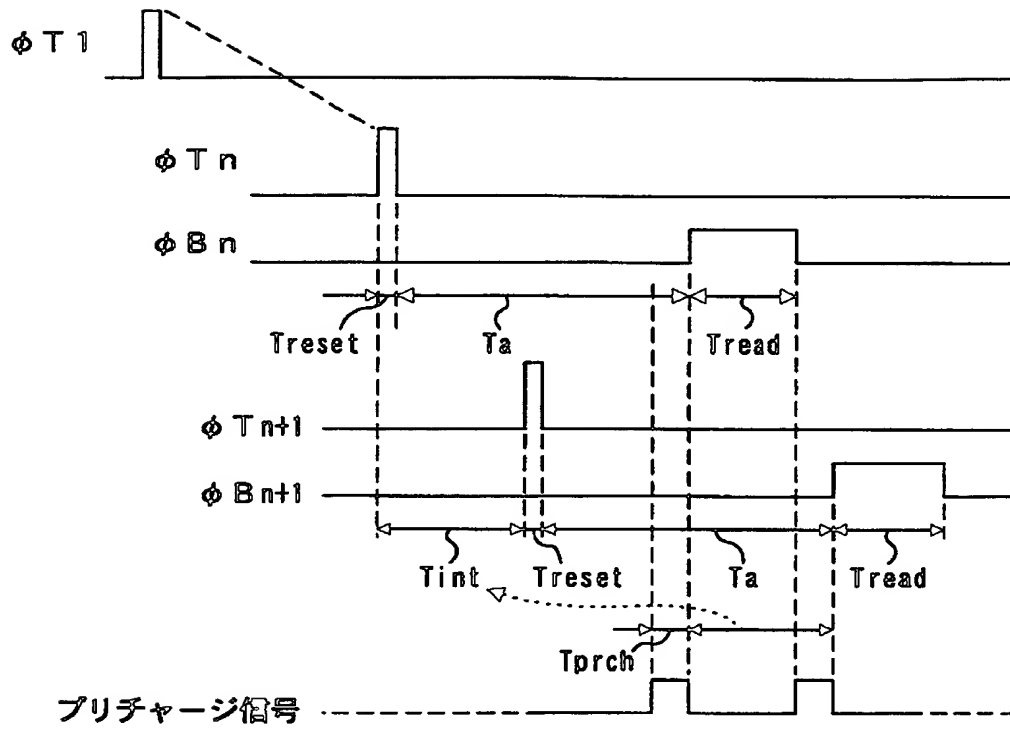
10	Wゲート型フォトセンサ
11	半導体薄膜
11a	半導体層
21	トップゲート電極
22	ボトムゲート電極
100	センサアレイ
101	トップゲートライン
102	ボトムゲートライン
103	データライン
111	トップアドレスデコーダ
112	ローアドレスデコーダ
113	コラムスイッチ
TG	トップゲート電極
BG	ボトムゲート電極

【書類名】 図面

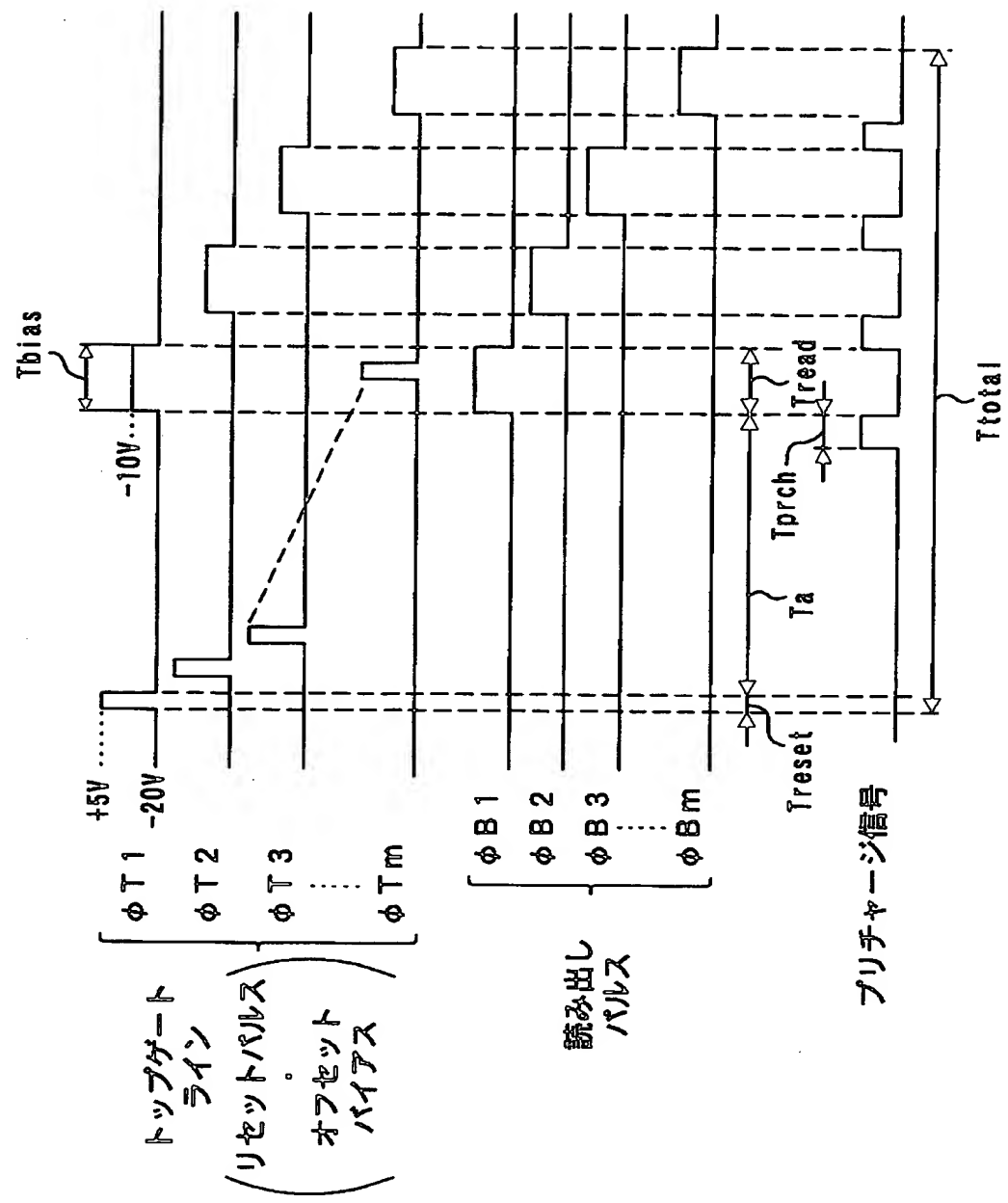
【図 1】



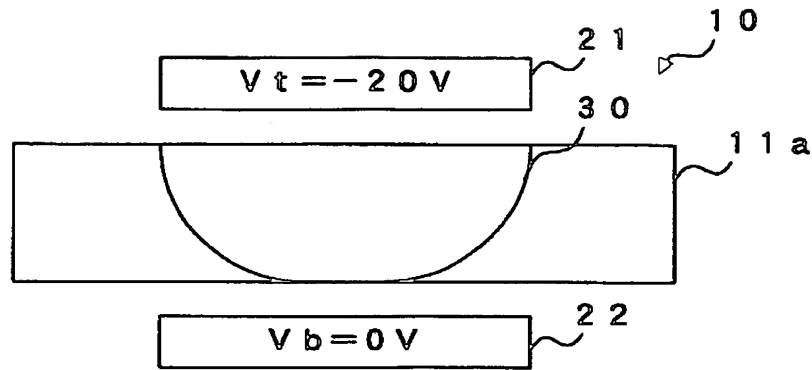
【図 2】



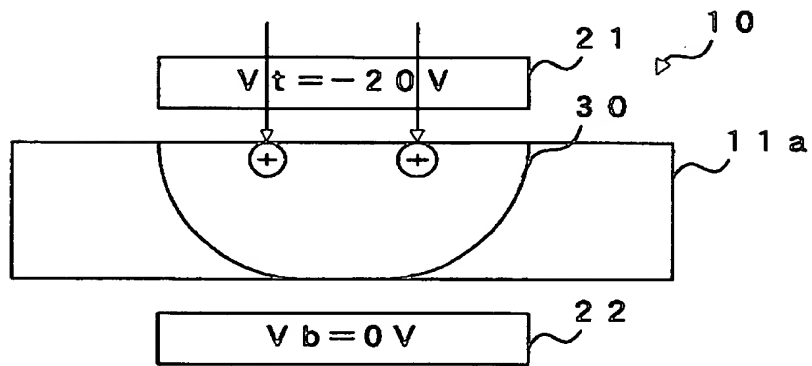
【図 3】



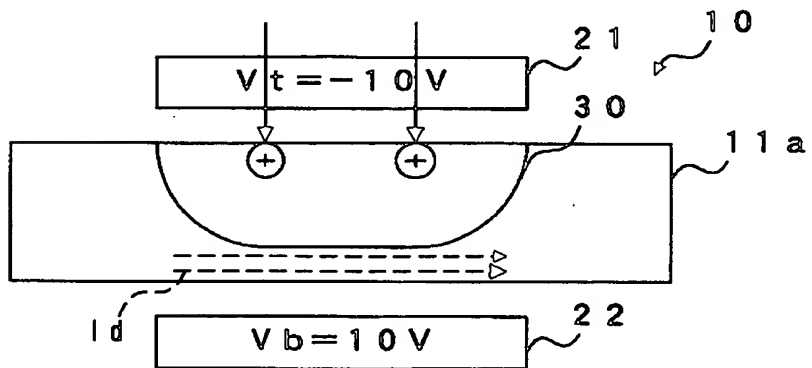
【図 4】



(a)

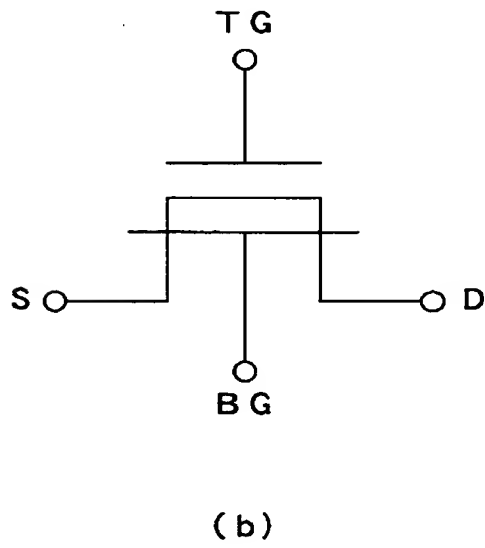
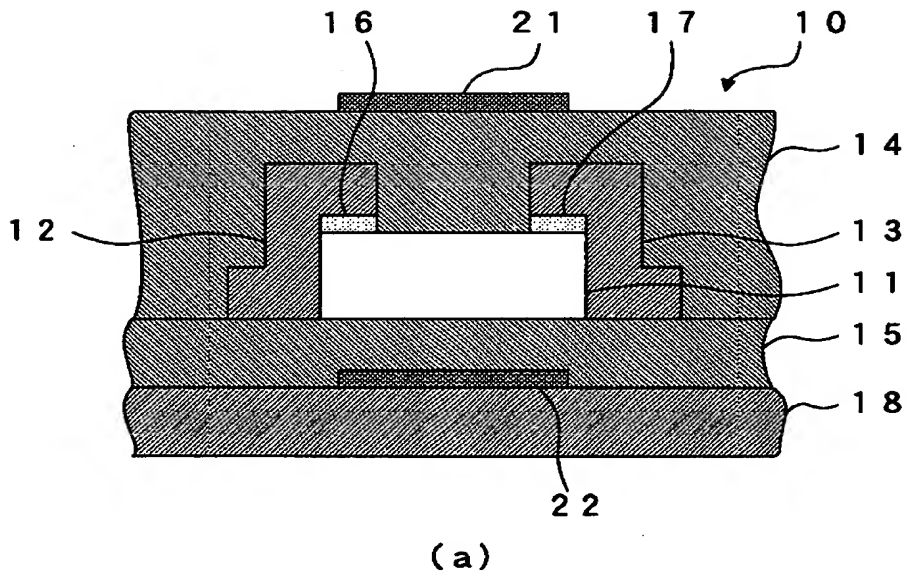


(b)

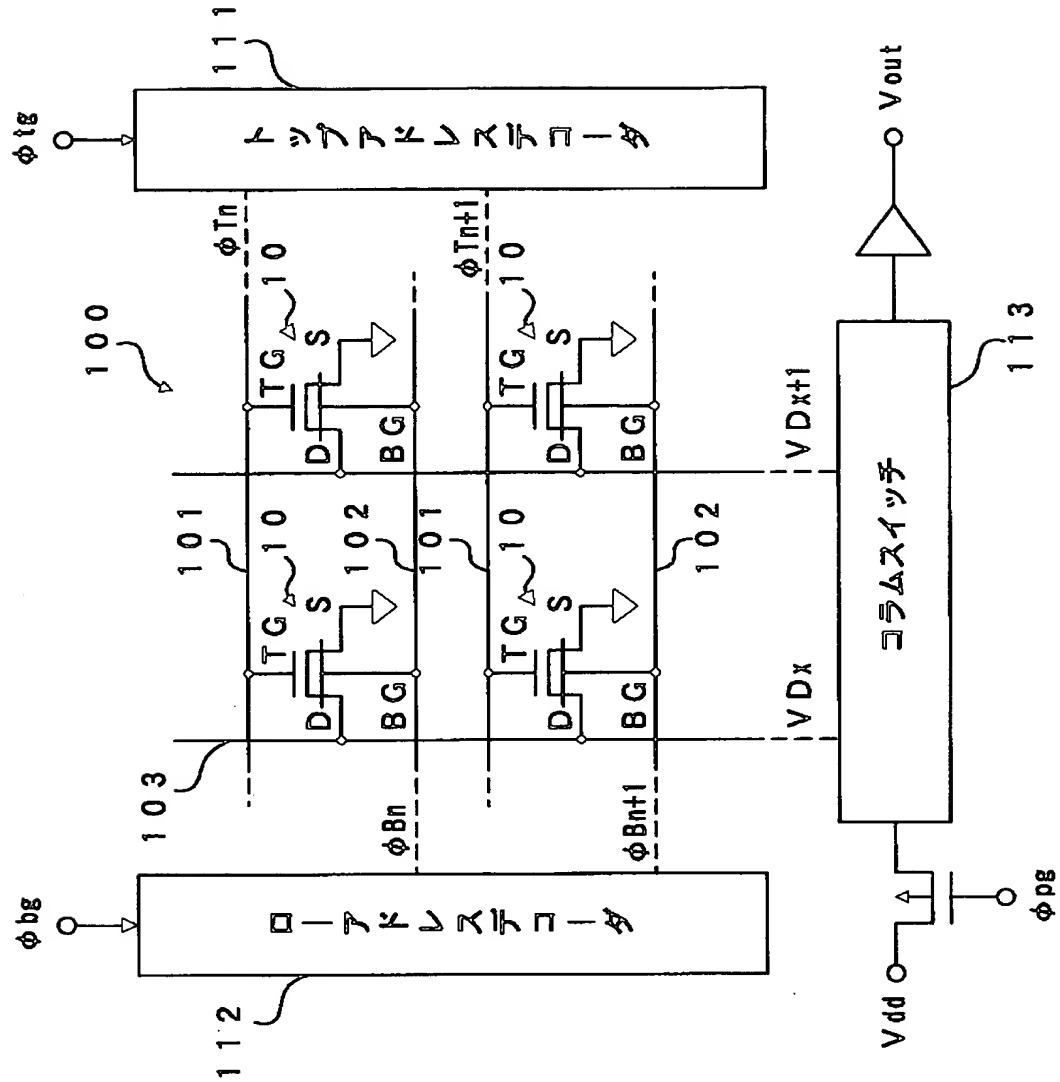


(b)

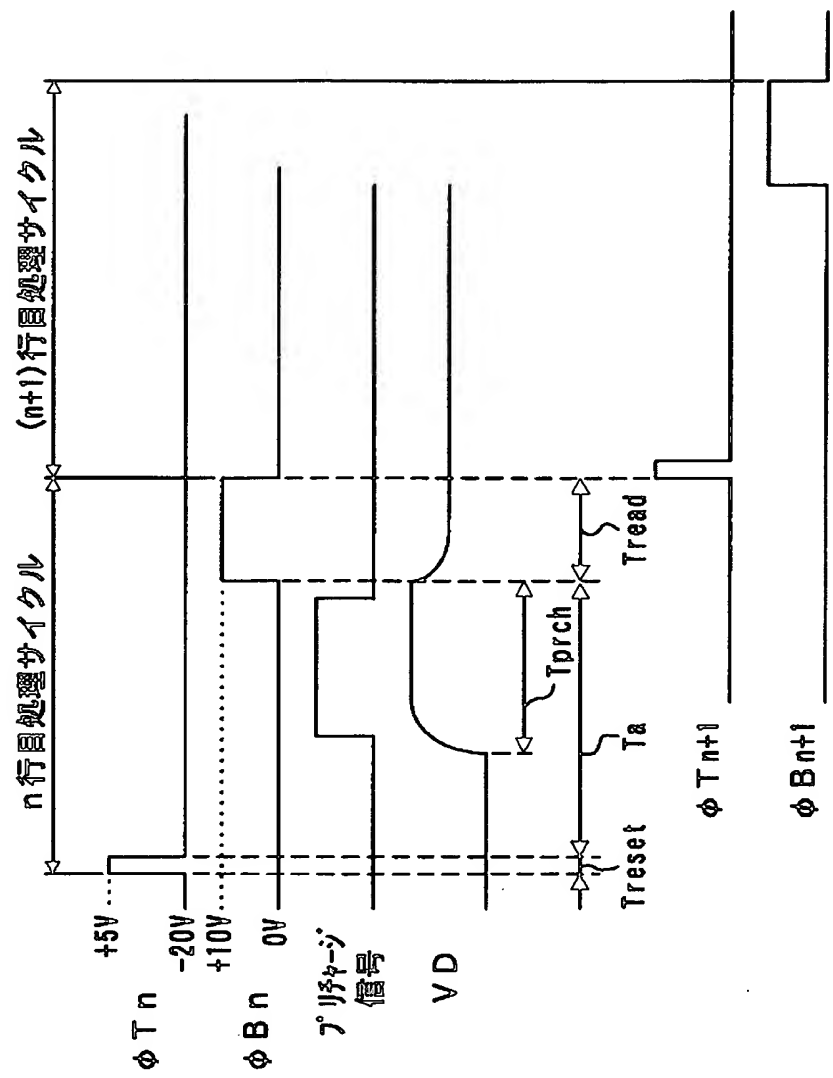
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 Wゲート型フォトセンサを2次元配列したセンサシステムにおいて、照射光量の検出処理に要する時間を大幅に短縮することができるフォトセンサシステムの駆動制御方法を提供する。

【解決手段】 トップゲートライン101を介して最初の行のWゲート型フォトセンサから順に、リセットパルス $\phi T1$ 、 $\phi T2$ 、 $\phi T3$ 、… ϕTm を連続的に印加するリセット動作を先行して実行しつつ、Wゲート型フォトセンサのうち、キャリア蓄積期間が経過し、かつ、プリチャージ動作が終了した最初の行のWゲート型フォトセンサから順に、ボトムゲートライン102を介して読み出しパルス $\phi B1$ 、 $\phi B2$ 、 $\phi B3$ 、… ϕBm を並行して印加し、ドレイン電極の電圧変化を読み出す処理手順を実行する。

【選択図】 図1

認定・付加情報

特許出願の番号	平成11年 特許願 第103413号
受付番号	59900339848
書類名	特許願
担当官	第五担当上席 0094
作成日	平成11年 5月19日

<認定情報・付加情報>

【提出日】	平成11年 4月 9日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000001443]

1. 変更年月日 1998年 1月 9日

[変更理由] 住所変更

住 所 東京都渋谷区本町1丁目6番2号

氏 名 カシオ計算機株式会社